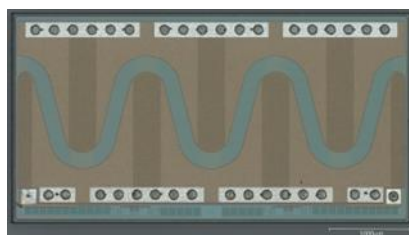


GaN FET(650V) : Innoscience INN650TA030AH 解析レポート



パッケージ

GaNチップ

レポート背景と概要

電源の高効率化・小型化を背景に、GaN（窒化ガリウム）パワーデバイス市場は急速に拡大しています。その中で中国メーカーの存在感も高まっており、Innoscienceはその代表的な企業の一つです。

同社は2017年に自社開発の8インチウェハラインによるGaN-on-Siの量産に参入。2025年には月産2万枚規模の生産能力を実現し、さらに月産7万枚体制を目指すなど、大口径ウェハによる量産力を武器に、グローバルGaNメーカーとして存在感を高めています。

本レポートは、同社の主力製品である650V GaNトランジスタを対象に、デバイス構造、材料、製造プロセスなどを技術的な観点から解析。InfineonおよびNavitas（TSMC製造品）との比較を通じて、各社のデバイス設計や技術的特徴について解析したレポートとなります。

[https://newsroom.st.com/media-center/press-item.html/c3325.html#:~:text=innoscience%20\(HKEX:02577.HK\)%20is%20the%20global%20leader,innoscience.com%20for%20more%20information.](https://newsroom.st.com/media-center/press-item.html/c3325.html#:~:text=innoscience%20(HKEX:02577.HK)%20is%20the%20global%20leader,innoscience.com%20for%20more%20information.)

製品特徴

型番：INN650TA030AH Vdss=650V、Id=60A、Ron=26 mΩ 製品リリース日：2024年1月

データシート：<http://www.htt-ic.com/uploads/allimg/20250426/1-2504261HH1I4.pdf>

解析内容 & レポート価格

- ① GaN FET概要解析レポート：価格 ¥300,000（税別） 発注後1weekで納品
チップサイズ、断面観察
- ② GaN FET構造解析レポート：価格 ¥600,000（税別） 発注後1weekで納品
 - ① 概要解析レポート+平面構造、レイアウト、GaN構造解析(各層観察)
 - ・ オン抵抗変動（コラプス現象）対処構造を確認
 - ・ 内臓ESD保護素子の構造。
 - ・ 競合他社との比較。
- ③ GaN製造プロセス解析および原価分析レポート：価格 ¥400,000（税別） 発注後1weekで納品
 - ・ 200mm径GaN-on-Siウェハ価格および製造歩留まりへの対応。

下記は企画中のレポートになります。ご興味ございましたら、お問い合わせください。

- ④ 基本的な電気的特性：破壊電圧(BVdss), Ron, Idss 予定価格 ¥350,000（税別）
- ⑤ GaNエピ層のTEM断面観察 予定価格 ¥250,000（税別）
- ⑥ パッケージ・実装解析レポート 予定価格 ¥250,000（税別）

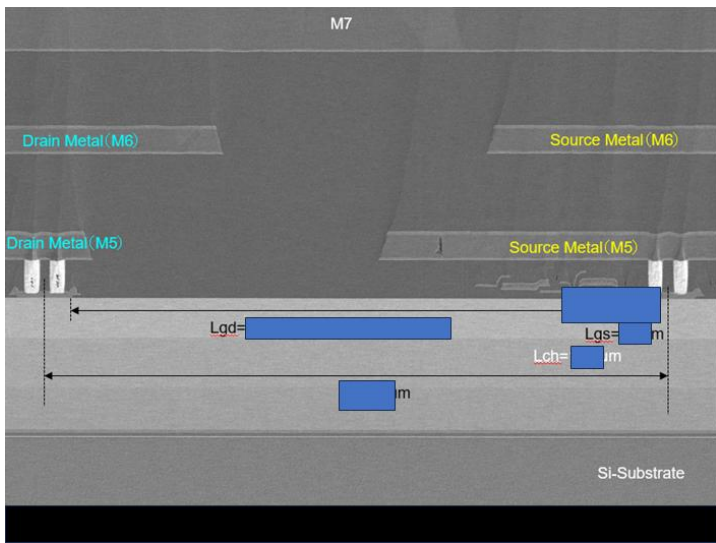
① GaN FET 概要解析レポート 目次

【目次】	Page
1 1.1 エグゼクティブサマリー	...
デバイスサマリー	...
Table 1: デバイスサマリー	3
2 解析結果まとめ	...
Table2-1:デバイス構造 (GaNチップ)	5
Table2-2:デバイス構造: レイヤー材料・膜厚 (GaNチップ)	...
3 パッケージ解析	6
3-1 パッケージ外観	...
3-2 X線観察	8
4 チップ観察	...
5 素子部断面SEM構造解析	11
	13-15

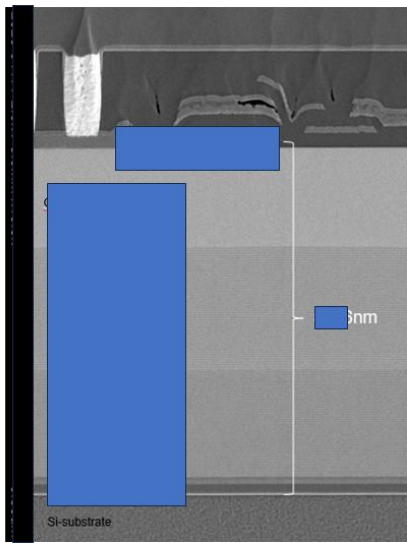
② GaN FET 構造解析レポート 目次

【目次】	Page
1 1.1 エグゼクティブサマリー	...
デバイスサマリー	...
Table 1: デバイスサマリー	3
2 解析結果まとめ	...
Table2-1:デバイス構造 (GaNチップ)	4
Table2-2:デバイス構造: レイヤー材料・膜厚 (GaNチップ)	5
3 パッケージ解析	...
3-1 パッケージ外観	8
3-2 X線観察	9
4 平面構造解析	...
4-1 平面OM観察	11
4-2 平面SEM観察	...
5 断面SEM構造解析	12
5-1 素子部断面観察	...
5-2 チップ端部断面観察	58
6 Appendix	64
	65
	81
	85

② GaN FET 構造解析レポートからの抜粋



素子部断面SEM像



GaN-Epi層断面SEM像

③ GaN製造プロセス解析および原価分析レポート 目次

【目次】			頁
1	1-1	エグゼクティブサマリー	3
	1-2	INNOSCIENCEのINN650TA030AH パワー-GaN FET	4
	1-3	INNOSCIENCE INN650TA030AH GaN FETの構造断面図	5
	1-4	650V GaN製品の比較(INNOSCIENCE, NAVITAS, GaN Systems, INFINEON)	6
2		観察	7
	2-1	INNOSCIENCE社とTSMC社のGaN構造の比較 (1) - (2)	8-9
	2-2	INNOSCIENCE INN650TA030AH (Innoscience プロセス) 観察(1) - (4).....	10-13
3		製造プロセスフロー	14
	3-1	650V GaN HEMTの製造プロセスフロー概要	15
	3-2	フォトマスクシーケンスとアライメントツリー (推定)	16
	3-3	プロセスフロー	17
	3-3-2	GaN HEMTのプロセス・シーケンス断面図 (1) - (3)	18-20
4		GaN製造原価分析	21
	4-1	INNOSCIENCE INN650TA030AH GaN製品の製造歩留まり予測	22
	4-2	INNOSCIENCE INN650TA030AH GaN製品における、ウェハあたりのチップ総数(乗り数)	23
	4-3	INNOSCIENCE INNA650TA030AH GaN製造プロセスのコスト分析概要	24
5		REFERENCES	25

③ GaN製造プロセス解析および原価分析レポートより抜粋

2.2 INNOSCIENCE INN650TA030AH (Innoscience プロセス) 観察(3)

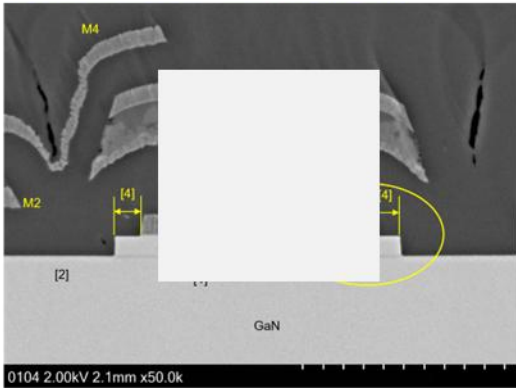
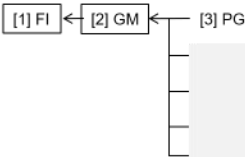


Fig. 2-2-3 Cross-sectional SEM image of GaN FET P-GaN gate

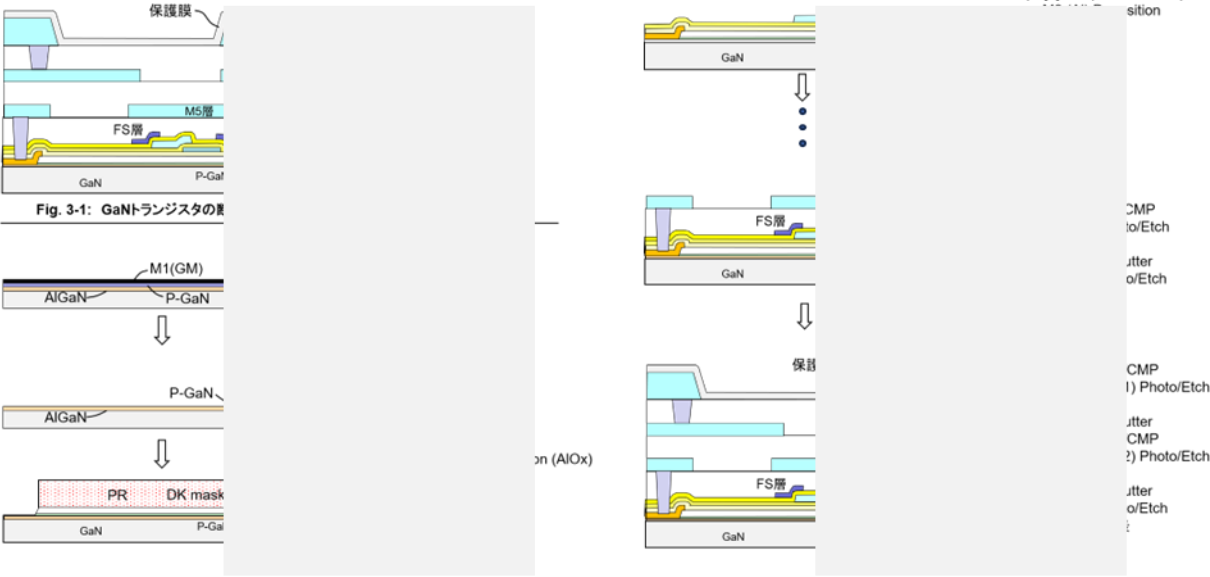
[1] [2] Al よりも厚い。 [3] M1 (に) エッ [4] P-Ga 0.1μmである。

3-2. フォトマスクシーケンスとアライメントツリー (推定)



③ GaN製造プロセス解析および原価分析レポートより抜粋

3-3-2 GaN HEMTのプロセス・シーケンス断面図 (1)



4. GaN製造原価分析

4.3 INNOSCIENCE INNA650TA030AH GaN製造プロセスのコスト分析概要

Table 2: Processed Wafer Cost (PWC) estimate 2026

#			A-Maker	B-Maker	INNOSCIENCE INN650TA030AH
1	Process Technology		XX		
2	Total Metal Layers		3	5	7
3	Manufacturing Fab				China
4	Device		BDS	BDS	Single Tr
5	Chip Size	mm2			
6	RON	mΩ			
7	Gross Die per wafer				
8	• Wafer Diameter Size	mm			
9	• Raw Wafer Cost	\$/waf			
10	• Epi Cost (AlGaIn, P-GaN)	\$/waf			
11	• Wafer + Epi Cost	\$/waf			
12	• Processing Cost	\$/waf			
13	• Processed Wafer Cost, PWC	\$/waf			
14	◆ Manufacturer's profit	%			
15	• Processed Wafer Price, PWP	\$/waf			
16	• Defect Density, Do	def/cm2			
17	• Manufacturing Yield, Y	%			
18	Yielded Dies per Wafer, N				
19	• Yielded Wafer Cost, YWC	\$/waf			
20	• Die cost (without final test)	\$/die			
21	• Die cost per area	\$/mm2			
22					
23	◆ Distributor ASP\$/Die Area	\$/mm2			